

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-007236

(43)Date of publication of application : 12.01.2001

(51)Int.Cl.

H01L 23/12

(21)Application number : 11-171111

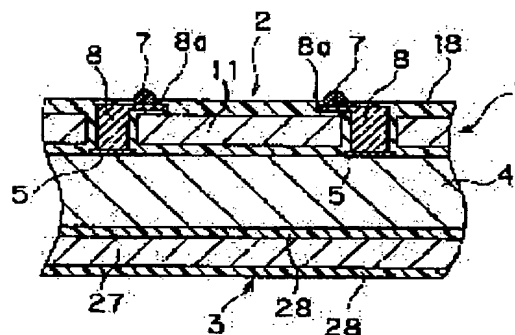
(71)Applicant : NITTO DENKO CORP

(22)Date of filing : 17.06.1999

(72)Inventor : NAGASAWA TOKU  
SUGIMOTO MASAKAZU  
INOUE YASUSHI  
OKEYUI TAKUJI  
NAKAMURA KEI**(54) WAFERLIKE LAMINATE AND SEMICONDUCTOR ELEMENT PACKAGE AND A METHOD OF MANUFACTURING WAFERLIKE LAMINATE****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a waferlike laminate which does not bend and prevents destruction of a solder bonding portion of a semiconductor element package or the like from due to changes in an environmental temperature after mounting.

**SOLUTION:** There are provided coating films 2, 3 on both surfaces of a wafer 4 having a multiplicity of semiconductor elements. The coefficient of thermal expansion of these coating films 2, 3 is set to be between the coefficient of thermal expansion of the wafer 4 and that of a substrate for mounting the respective semiconductor elements of the wafer 4 separated into discrete elements. The coating film 2 on a wafer active surface side has wiring connected to a wafer electrode 5 and an electrode 7 on the exposed surface of the coating for mounting on the substrate so that these electrodes can make an electrical continuity.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

**BEST AVAILABLE COPY**

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開2001-7236

(P2001-7236A)

(43)公開日 平成13年1月12日(2001.1.12)

(51) Int.Cl.<sup>7</sup>

識別記号

FI

テーマコード\* (参考)

H0 1 L 23/12

H 0 1 L 23/12

L

審査請求 未請求 請求項の数5 OL (全 7 頁)

(21)出願番号 特願平11-171111

(22)出願日 平成11年6月17日(1999.6.17)

(71)出願人 000003964

日東電工株式会社

大阪府茨木市下穂積1丁目1番2号

(72) 發明者 長沢 徳

大阪府茨木市下穂積1丁目1番2号 日東  
重工株式会社内

(72)発明者 杉本 正和

大阪府茨木市下穂積1丁目1番2号 日東  
電工株式会社内

(74) 代理人 100079382

弁理士 西藤 征彦

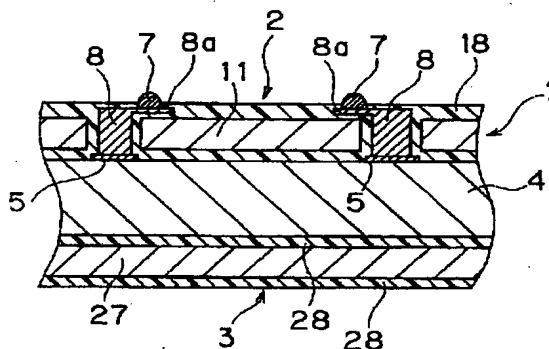
**最終頁に続く**

(54) 【発明の名称】 ウェハ－状積層体および半導体素子パッケージならびにウェハ－状積層体の製造方法

(57) 【要約】

【課題】ウェハー状積層体が反ったり、実装後の環境温度変化に伴い半導体素子パッケージの半田接合部等が破壊したりすることのないウェハー状積層体を提供する。

【解決手段】 多数個の半導体素子を有するウェハー４の両面に皮膜２，３が設けられ、この皮膜２，３の熱膨張率が上記ウェハー４の熱膨張率と上記ウェハー４の各半導体素子を個別素子単位に分割して実装する基板の熱膨張率との間の値に設定され、ウェハー能動面側の皮膜２内に、ウェハー電極５と皮膜露出表面の基板実装用電極７とに接続されこれら両電極の電氣的導通を可能とする配線を有している。



2,3:皮膜

### 7:基板実装用電極

4:ウェハー

5:ウェハ—電極

## 【特許請求の範囲】

【請求項1】 多数個の半導体素子を有するウェハの両面に皮膜が設けられ、この皮膜の熱膨張率が上記ウェハの熱膨張率と上記ウェハの各半導体素子を個別素子単位に分割して実装する基板の熱膨張率との間の値に設定され、ウェハ能動面側の皮膜内に、ウェハ電極と皮膜露出表面の基板実装用電極とに接続されこれら両電極の電氣的導通を可能とする配線を有することを特徴とするウェハ状積層体。

【請求項2】 皮膜内に芯材として金属あるいはセラミックを有している請求項1記載のウェハ状積層体。

【請求項3】 請求項1記載のウェハ状積層体の各半導体素子を個別素子単位に分割することにより得られることを特徴とする半導体素子パッケージ。

【請求項4】 皮膜内に芯材として金属あるいはセラミックを有している請求項3記載の半導体素子パッケージ。

【請求項5】 請求項1記載のウェハ状積層体を製造する方法であって、多数個の半導体素子を有するウェハと、表面に接着剤層を有しこの接着剤層表面にウェハ電極用の接続電極端子を有する一方の皮膜と、表面に接着剤層を有する他方の皮膜とを準備し、上記一方の皮膜の接着剤層をウェハ能動面側に向け、他方の皮膜の接着剤層をウェハ能動面の反対面側に向け、その状態で両皮膜をウェハの両面から接着することにより一体化すると同時にウェハ電極と接続電極端子との電氣的導通も可能とすることを特徴とするウェハ状積層体の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、ベアチップと同等の大きさの実装面積を有する半導体素子パッケージを製造するのに適したウェハ状積層体および半導体素子パッケージならびにウェハ状積層体の製造方法に関するものである。

## 【0002】

【従来の技術】 近年、半導体素子回路は製造技術の進展により微細化の一途をたどってきた。これを受けて、電子機器の小型化、高機能化が進み、要求も益々高くなってきている。このような電子機器の小型化、高機能化のためには、半導体素子回路の微細化だけでなく、これをパッケージとして基板へ実装した際の実装面積、実装高さや配線長さをいかに小さくするか、いわゆる実装技術が重要な要素になる。そのため、半導体素子パッケージの形状を極力小さくする検討が進められており、パッケージのアウターリードをパッケージ裏面にエリア状に配列した構造のものが種々製品化されている。これらの中で、特に小型パッケージとして注目されているものに、チップと略同等の大きさのチップサイズパッケージ(CSP)がある。

【0003】 従来のQFP等のパッケージが、リードフレームを使用して組み立て、このリードフレームを介して基板に実装していたのに対し、上記のチップサイズパッケージは、リードフレームより微細加工が可能なプリント回路基板の技術により製造されるインターポーザーにチップを一旦実装したのち、このインターポーザーを介して基板に実装する方法を採用することでパッケージサイズの小型化が可能となっている。

【0004】 ところが、リードフレームが金属箔のエッチングあるいは打ち抜き加工という簡易な方法で製造されるのに対し、インターポーザーの製造には回路パターンエッチング、穴あけ加工、めっき等の多数の工程が必要であり、コスト高となっている。そのため、パッケージの組み立て工程を簡素化してコスト低減を図る検討が見受けられる。すなわち、従来のチップサイズパッケージは、ウェハからダイシングにより分割された個別の半導体素子を個片のインターポーザーに搭載して組み立てられるのに対し、ウェハ状態でチップサイズパッケージの前駆体となる積層体を構成したのち、これをダイシング等により一括してチップサイズパッケージに分割する方法が検討されている。この方法によれば、従来、ウェハとインターポーザーとを別々に分割していたのを一括して同時に行うことができ、さらに、個片のチップごとに搭載していたのをウェハごと一括して搭載することができるため、実装コストが低減できる。

## 【0005】

【発明が解決しようとする課題】 しかしながら、上記の方法では、前駆体であるウェハ状積層体は、次工程においてダイシングマシンに吸着固定され、回転するディスク状砥石により切断されることになるが、この工程でウェハ状積層体は平坦でなければ精度良く切断できないばかりか、砥石が破損したり、吸着固定自体が困難となってしまう。通常、インターポーザーは、銅回路パターンを有機ポリマー上に形成した構造であったり、これらを逐次的にウェハ上に形成していった構造であったりするため、また、インターポーザーの熱膨張率がシリコンウェハの熱膨張率 $3.5 \text{ ppm}/^{\circ}\text{C}$ に比し大きな値となるため、ウェハ状積層体はウェハ側を凸にして反ってしまうこととなり、不都合が生じる。また、インターポーザーの熱膨張率をシリコンレベルに調節すると、上記の反りは小さくなるが、パッケージとしての熱膨張率がシリコンレベルまで小さくなってしまいうため、これを実装する基板の熱膨張率(約 $16 \text{ ppm}/^{\circ}\text{C}$ )と大きくかけ離れてしまい、その結果、実装後の環境温度変化に伴う熱応力がパッケージと基板の接合部を破壊するという不都合が生じる。この点、前者のパッケージは後者のパッケージよりも熱膨張率が大きく、より実装基板に近づくため有利となるが、既に述べたように、ウェハ状積層体の反りが問題である。すなわち、ウェハ状積層体を経たのち一括してチップサイズパッ

ケースを製造する方法において、従来の構成では、製造および基板実装後の信頼性を両立できるものが存在していないのが実情である。

【0006】本発明は、このような事情に鑑みなされたもので、ウェハース状積層体が反ったり、実装後の環境温度変化に伴い半導体素子パッケージの半田接合部等が破壊したりすることのないウェハース状積層体および半導体素子パッケージならびにウェハース状積層体の製造方法の提供をその目的とする。

【0007】

【課題を解決するための手段】上記の目的を達成するため、本発明は、多数個の半導体素子を有するウェハースの両面に皮膜が設けられ、この皮膜の熱膨張率が上記ウェハースの熱膨張率と上記ウェハースの各半導体素子を個別素子単位に分割して実装する基板の熱膨張率との間の値に設定され、ウェハース能動面側の皮膜内に、ウェハース電極と皮膜露出表面の基板実装用電極とに接続されこれら両電極の電氣的導通を可能とする配線を有するウェハース状積層体を第1の要旨とし、上記ウェハース状積層体の各半導体素子を個別素子単位に分割することにより得られる半導体素子パッケージを第2の要旨とし、上記ウェハース状積層体を製造する方法であって、多数個の半導体素子を有するウェハースと、表面に接着剤層を有しこの接着剤層表面にウェハース電極用の接続電極端子を有する一方の皮膜と、表面に接着剤層を有する他方の皮膜とを準備し、上記一方の皮膜の接着剤層をウェハース能動面側に向け、他方の皮膜の接着剤層をウェハース能動面の反対面側に向け、その状態で両皮膜をウェハースの両面から接着することにより一体化すると同時にウェハース電極と接続電極端子との電氣的導通も可能とするウェハース状積層体の製造方法を第3の要旨とする。

【0008】本発明者らは、鋭意検討の結果、実装後の信頼性に対しては、シリコンウェハースと基板の間に介在するインターポーザーの熱膨張率をシリコンウェハースと実装基板の熱膨張率の間の値に設定することが必要であり、これにより、得られる半導体素子パッケージの熱膨張率が実装基板の熱膨張率に近づいて熱応力によるストレスが軽減されること、および、上記インターポーザーを具備したウェハース状積層体の反りを軽減するためには、シリコンウェハースのインターポーザー側とは反対側にも、インターポーザーと同等の熱膨張率を有する皮膜を配置してシリコンウェハースの両面で熱応力のバランスを図る必要があることを見だし、本発明に到達した。

【0009】すなわち、本発明のウェハース状積層体は、多数個の半導体素子を有する（通常は、これら多数個の半導体素子は格子状に配列されている）ウェハースの両面に、それ自体の熱膨張率がウェハースの熱膨張率と実装基板の熱膨張率との間の値に設定された皮膜が設けられており、ウェハース状積層体が反ることがない。また、本発明の半導体素子パッケージは、本発明のウェハース状積層

体を経由し、チップサイズパッケージとして製造されるものであり、実装後の環境温度変化によっても、半田接合部等が破壊することがない。

【0010】また、本発明のウェハース状積層体の製造方法は、ウェハースの両側から接着剤層を具備した両皮膜を圧着により積層するという簡便な方法であり、インターポーザーとウェハースの間隙を上記接着剤層で密封する、と同時に、インターポーザーとウェハースの電極間の電氣的導通も確保できるようにしている。従来の方法であれば、まず電極間を接合し、ついで間隙に液状樹脂を注入するといった複雑な工程が必要である。また、接合方法では、シングルポイントボンディング法やギャグボンディング法が従来からの技術としてあるが、シングルポイントボンディング法では、逐次的に1個ずつボンディングしていくため、最後まで全部の電極の位置を精度良く合わせることが困難である。一方、ギャグボンディング法では、まずウェハース全体をカバーしうるツールの開発が困難であり、数回にわたって全体をボンディングしたとしても、各ボンディングごとのインターポーザーの変形のため続くボンディングが困難となる。本発明の製造方法によれば、常温で位置合わせしたのち、加圧した状態で昇温すれば、位置ずれは起こらず、接合中のインターポーザーの変形を考慮する必要がない。

【0011】本発明において、皮膜中に芯材として金属あるいはセラミックを有している場合には、それ自体の熱膨張率がシリコンウェハースと実装基板の熱膨張率の間の値に設定された金属あるいはセラミックを選択することにより、本発明のウェハース状積層体および半導体素子パッケージを得ることができる。

【0012】

【発明の実施の形態】つぎに、本発明を図面にもとづいて説明する。

【0013】図1～図3は本発明のウェハース状積層体1の代表的構成を示す模式図である。図1はウェハース能動面側から見た図であり、表面にインターポーザーとなる皮膜2が施されている。図2は図1の1個の格子単位の拡大図であり、表面にエリア状に基板実装用電極7が形成されている。図3は図2の要部の断面図であり、ウェハース能動面側では、ウェハース電極5と基板実装用電極7とが導体回路8により接続され、表面において配線の引き回しが行われている。また、ウェハース4の両面の皮膜2、3には熱膨張率の調整のためコア材（芯材）11、27が包含されている。また、各導体回路8間、およびコア材11が導電材料である場合には導体回路8とコア材11間は絶縁材料により絶縁されている。図3において、8aは引回し導体回路で、18、28は絶縁層である。

【0014】つぎに、各構成材料について説明する。絶縁材料は、フェノール、エポキシ、ポリエステル、ポリサルフォン、ポリエーテルイミド、ポリエーテルケトン

およびポリイミド(PI)系樹脂等が使用できる。また、適宜必要に応じて、紙、ガラス布、ガラスマット、ガラス不織布、ケブラー繊維等を組み合わせて使用できる。しかしながら、配線の微細化、狭ピッチ化への対応、信頼性の確保の観点からエポキシ系、ポリイミド系、特に好ましくはポリイミド系材料が良い。

【0015】コア材11、27は、両皮膜2、3の熱膨張率がシリコンウェハー4(3.5ppm/°C)と実装基板(16ppm/°C)との間に調整できる材料であればよく、好適には、アルミナ、ムライト、コーズライト、炭化珪素、窒化珪素、窒化アルミ、ジルコニア等のセラミック材料、鉄-ニッケル合金、ニッケル/コバルト/鉄合金、SUS材、チタン等の金属材料が使用できる。ウェハー状積層体1内のコア材11、27は、ウェハー4の両面において材質、厚み、枚数が必ずしも同一である必要はなく、適宜調節できる。

【0016】引回し回路導体は、金、銀、銅等が使用可能であるが、銅が好適である。さらに、必要に応じて、表面にニッケル、金等のめっきを施して使用できる。引回し回路導体8aとウェハー電極5との接続は、導電性ペースト、半田材等にて適宜可能である。

【0017】つぎに、本発明のウェハー状積層体1の製造方法を、図4～図14にもとづいて説明する。すなわち、まず、コア材11(図4参照)にスルーホール用の穴12あけを行う(図5参照)。この穴12あけは、エッチング、ドリル、パンチング等コア材11に適した方法をとる。ついで、穴あきコア材11の両側からPI接着シート13を介して2層基材14(銅層15/PI層16)を熱プレスにより貼り合わせて(図6参照)両面基材17を作製する(図7参照。この図7で、18は絶縁層である)。つぎに、ドリル、パンチング等により、図8に示すように、コア材11の穴12内により小さいスルーホール用の穴19を形成し、スルーホール銅めっきした(図9参照。この図9で、20はスルーホールである)のち、フォトリソ法による回路パターン21形成を行う(図10参照)。つぎに、電極パッド部に相当する部位に開口部23をあけたPI接着シート22を両側より位置合わせして熱プレスにて貼り合わせる(図11参照)。上記両開口部23は必要に応じてニッケル/金めっき等を行う。ウェハー4(図3参照)側の開口部23にはリフローによる半田バンプ24もしくはめっきによる銅/金バンプ等を形成してウェハー電極5(図3参照)との接合に供する。あるいは、ウェハー4側にバンプを形成すれば、インターポザー2(図3参照)にバンプが不要であり、この方法も可能である。

【0018】また、上記の方法において、回路パターン21形成を行ったのちに、スルーホール20内部を導電性ペースト25もしくは半田材で充填し(図12参照)、その部分に直接バンプ24を形成してもよい(図13参照)。それ以外の部分は、上記の方法と同様に行

う。この別方法で作製したインターポザー2は、図3に示すように、ウェハー電極5と基板実装用電極7が導体回路8(スルーホール20、回路パターン21、導電性ペースト25からなる)により接続されている。一方、上記の方法では、スルーホール20はPI接着シート22で埋められており、半田バンプ24はスルーホール20より引き出された回路パターン21上に形成されている。

【0019】これら両方法の場合にも、作製したインターポザー2をウェハー能動面と位置合わせし、反対面にはコア材27と2枚のPI接着シート28を配して(図14参照)、プレスにて加圧状態で昇温することによりウェハー状積層体1を得ることができる。そのうち、ダイサー等により分割することで個別の半導体パッケージとする。また、基板実装面側の開口部23には基板実装のための半田バンプ等の基板実装用電極7(図3参照)が必要であるが、その形成は分割の前後いずれでもよい。

【0020】つぎに、実施例を説明する。

【0021】

【実施例1】図4～図14の説明において、コア材11としてSUS430(厚み100μm)に120μmφの穴12をエッチングにより形成し、両側より厚み50μmのPI接着シート13と銅層15/PI層16(厚み5/13μm)の2層基材14とを真空中にて積層加圧(40kg/cm<sup>2</sup>)し、室温より200℃まで昇温し1時間保持したのち、冷却、除圧して両面基材17を作製した。ついで、パンチングにより厚み80μmの穴19を上記穴12の内部に形成後、スルーホールめっきにて銅を厚み13μmめっきした。フォトリソ法により回路パターン21形成したのち、予め電極パッド部にパンチングにより開口部23を開けたPI接着シート22(厚み50μm)を両面より位置合わせし、上記と同様の方法よりプレスにて貼り合わせた。上記開口部23の銅パッド部には無電解にてニッケル、金をめっきし、つぎに、電極部に金バンプを施したウェハー4(厚み0.4mm、6インチ)と上記インターポザー2とを位置合わせし、ウェハー裏面側には厚み100μmのSUS430箔を厚み50μmのPI接着シート2枚で挟む形で配し、先と同様な方法、条件で熱圧着した。

【0022】得られたウェハー状積層体1の反りを触針式表面粗さ計にて測定したところ、10cm当り5μmと僅かであった。このウェハー状積層体1を通常シリコンウェハー4をダイシングする方法と同じ要領でダイサーにて切断し、個片の半導体パッケージを得た。各半導体パッケージの裏面の開口部23に0.3φの共晶半田ボールをリフローにより装着した。このようにして、基板実装用電極7としての半田バンプが計104個、0.5mmのピッチでエリア状に2列並んだ7.2mm口の半導体パッケージを得た(図2参照)。この半導体パッ

ケージをFR-4 ガラエポ基板にリフローにより搭載した。チップとFR-4 ガラエポ基板の回路はインターポーザー2を介してデジチェーンにて繋がっている。そして、FR-4 ガラエポ基板に搭載したサンプル10個を $-40^{\circ}\text{C}$ と $125^{\circ}\text{C}$ にて各30分、連続で繰り返して放置する冷熱サイクルテストを300サイクル実施したが、半田接合部の破壊によるオープン不良は発生しなかった。個別に作製したウェハー4両面の皮膜2, 3の熱膨張率は、ともに $12\text{ppm}/^{\circ}\text{C}$ であった。

#### 【0023】

【実施例2】実施例1にてSUS430をチタン箔とし、さらに、ウェハー裏面側最外部に厚み $18\mu\text{m}$ の銅箔を配する以外は同様に行った。

#### 【0024】

【実施例3】実施例2にてチタン箔を42Alloy（ニッケル/鉄=42/58重量%）とする以外は同様に行った。

#### 【0025】

【実施例4】実施例2にてチタン箔を36Alloy（ニッケル/鉄=36/64重量%） $30\mu\text{m}$ 厚みとする以外は同様に行った。

#### 【0026】

【比較例1】実施例4にて36Alloy（ニッケル/鉄=36/64重量%）を $100\mu\text{m}$ 厚みとする以外は同様に行った。

#### 【0027】

【比較例2】実施例1にてウェハー裏面に皮膜を構成しない以外は同様に行った。

【0028】以上の例におけるウェハー両面の皮膜の単独の熱膨張率、ウェハー状積層体1の反りおよび冷熱サイクルテストの不良数を調べた。その結果を、下記の表1に示す。

#### 【0029】

【表1】

	熱膨張率 ( $\text{ppm}/^{\circ}\text{C}$ )		積層体の反り ( $\mu\text{m}/10\text{cm}$ )	冷熱サイクル 不良数 (個/ 10個)
	ウェハー能動面	ウェハー裏面		
実施例1	12	12	5	0
実施例2	10	10	5	0
実施例3	6.5	6.5	5	0
実施例4	5.5	5.5	4	0
比較例1	3.5	3.5	2	5
比較例2	12	—	2500	—

【0030】比較例2のウェハー状積層体1は反りが大きく、ダイサーでの切断が不可能であった。上記の表1で明らかなように、本発明によれば、反りが小さく、そのため、生産性に優れたウェハー状積層体1を与えると同時に、基板実装後の熱応力特性にも優れた半導体素子パッケージを与えることが判る。

#### 【0031】

【発明の効果】以上のように、本発明のウェハー状積層体によれば、多数個の半導体素子を有する（通常は、これら多数個の半導体素子は格子状に配列されている）ウェハーの両面に、それ自体の熱膨張率がウェハーの熱膨張率と実装基板の熱膨張率との間の値に設定された皮膜

が設けられており、ウェハー状積層体が反ることがない。また、本発明の半導体素子パッケージは、本発明のウェハー状積層体を経由し、チップサイズパッケージとして製造されるものであり、実装後の環境温度変化によっても、半田接合部等が破壊することがない。

【0032】また、本発明のウェハー状積層体の製造方法は、ウェハーの両側から接着剤層を具備した両皮膜を圧着により積層するという簡便な方法であり、インターポーザーとウェハーの間隙を上記接着剤層で密封する、と同時に、インターポーザーとウェハーの電極間の電気的導通も確保できる。従来方法であれば、まず電極間を接合し、ついで間隙に液状樹脂を注入するといった複

雑な工程が必要である。また、接合方法では、シングルポイントボンディング法やギャグボンディング法が従来からの技術としてあるが、シングルポイントボンディング法では、逐次的に1個ずつボンディングしていくため、最後まで全部の電極の位置を精度良く合わせることに困難である。一方、ギャグボンディング法では、まずウェハー全体をカバーしうるツールの開発が困難であり、数回にわたって全体をボンディングしたとしても、各ボンディングごとのインターポーザーの変形のため続くボンディングが困難となる。本発明の製造方法によれば、常温で位置合わせしたのち、加圧した状態で昇温すれば、位置ずれは起こらず、接合中のインターポーザーの変形を考慮する必要がない。

【0033】本発明において、皮膜中に芯材として金属あるいはセラミックを有している場合には、それ自体の熱膨張率がシリコンウェハーと実装基板の熱膨張率の間の値に設定された金属あるいはセラミックを選択することにより、本発明のウェハー状積層体および半導体素子パッケージを得ることができる。

#### 【図面の簡単な説明】

【図1】本発明のウェハー状積層体の代表的構成を示す模式図である。

【図2】図1の1個の格子単位の拡大図である。

【図3】図2の要部の断面図である。

【図4】上記ウェハー状積層体の製造方法を示す説明図である。

【図5】上記ウェハー状積層体の製造方法を示す説明図である。

【図6】上記ウェハー状積層体の製造方法を示す説明図である。

【図7】上記ウェハー状積層体の製造方法を示す説明図である。

【図8】上記ウェハー状積層体の製造方法を示す説明図である。

【図9】上記ウェハー状積層体の製造方法を示す説明図である。

【図10】上記ウェハー状積層体の製造方法を示す説明図である。

【図11】上記ウェハー状積層体の製造方法を示す説明図である。

【図12】上記ウェハー状積層体の製造方法を示す説明図である。

【図13】上記ウェハー状積層体の製造方法を示す説明図である。

【図14】上記ウェハー状積層体の製造方法を示す説明図である。

#### 【符号の説明】

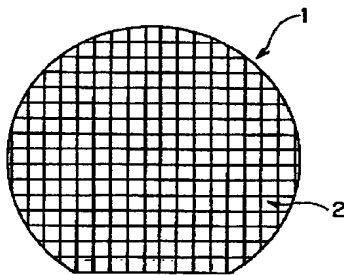
2, 3 皮膜

4 ウェハー

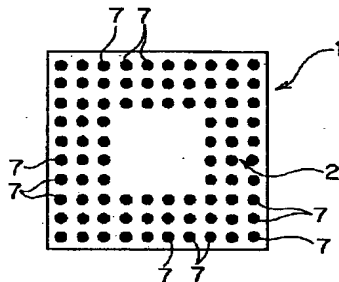
5 ウェハー電極

7 基板実装用電極

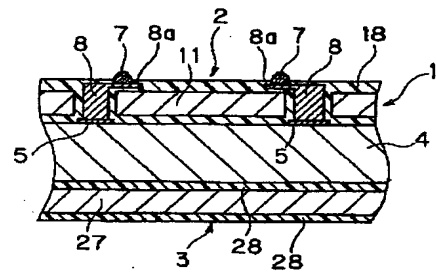
【図1】



【図2】



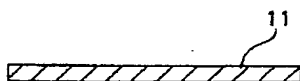
【図3】



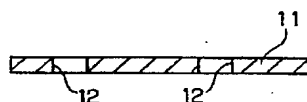
2,3:皮膜  
4:ウェハー  
5:ウェハー電極

7:基板実装用電極

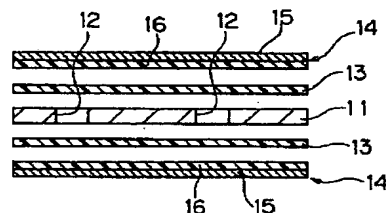
【図4】



【図5】

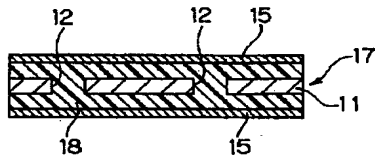


【図6】

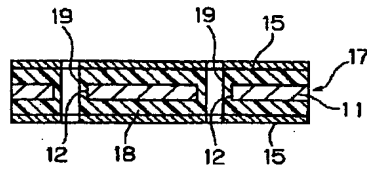




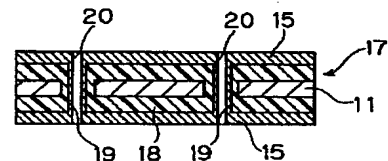
【図7】



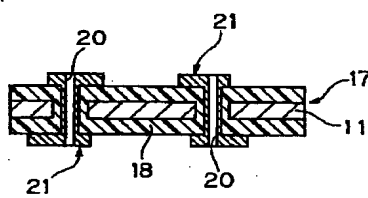
【図8】



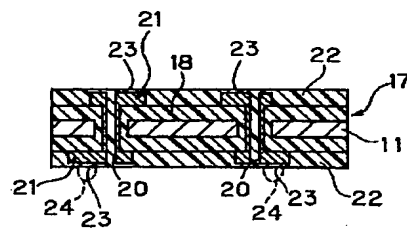
【図9】



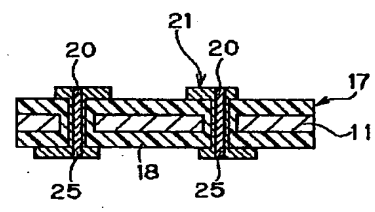
【図10】



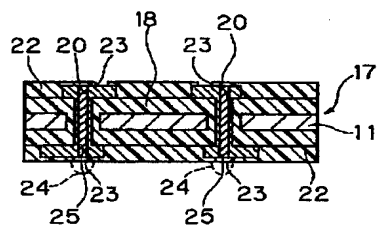
【図11】



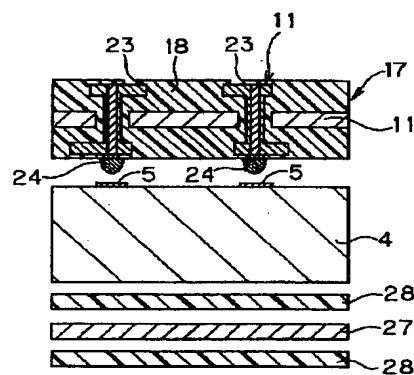
【図12】



【図13】



【図14】



フロントページの続き

(72)発明者 井上 泰史  
大阪府茨木市下穂積1丁目1番2号 日東  
電工株式会社内

(72)発明者 桶結 卓司  
大阪府茨木市下穂積1丁目1番2号 日東  
電工株式会社内

(72)発明者 中村 圭  
大阪府茨木市下穂積1丁目1番2号 日東  
電工株式会社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**